

Country: **JP** Japan

Kind:

Inventor(s): **KAWAMATA HATSUKI**

Applicant(s): **NEC CORP**

[News, Profiles, Stocks and More about this company](#)

Issued/Filed Dates: **March 31, 1986 / Sept. 4, 1984**

Application Number: **JP1984000183845**

IPC Class: **H04N 7/137; H04B 14/04;**

Abstract: **Purpose:** To reduce a quantity left widely and to improve a quality of a picture by outputting a coding signal obtained at a coding circuit and a smoothing circuit smoothed, and installing a transmitting buffer memory circuit which outputs an over-flow signal due to an overage of an information quantity.



Constitution: An analog picture signal inputted from an input terminal 11 is converted to a digital PCM signal a1 by an A/D converting circuit 1 and inputted to an input frame memory circuit 9. When the input frame memory circuit 9 executes an ordinary inter-frame coding processing, the merely written data are read as they are and a reading signal b1 is outputted to a coding circuit 2 as a digital picture signal. When an over-flowing occurs, a transmitting buffer memory circuit 10 outputs an over-flowing signal OVF to the input frame memory circuit 9, and an action of a receiving part shown in Fig. (b) to prohibit a data writing to the same circuit is the same as the conventional example.

COPYRIGHT: (C)1986,JPO&Japio

Family: [Show known family members](#)

Other Abstract Info: **DERABS G86-122562 DERG86-122562**

Foreign References: **No patents reference this one**

Best Available Copy

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-62287

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)3月31日

H 04 N 7/137
H 04 B 14/04

8321-5C
Z-7323-5K

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 フレーム間符号化装置

⑯ 特 願 昭59-183845

⑰ 出 願 昭59(1984)9月4日

⑱ 発 明 者 川 股 初 己 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 山川 政樹 外2名

明 細 書

1. 発明の名称

フレーム間符号化装置

2. 特許請求の範囲

アナログ画像信号をPCM信号に変換するA/D変換回路と、前記PCM信号を1画面分遅延オーバーフロー信号の入力時には遅延禁止をして前の画面を繰り返し出力する入力フレームメモリ回路と、前記入力フレームメモリ回路から得られるデジタル画像信号をフレーム間符号化する符号化回路と、前記符号化回路にて得た符号化信号を平滑化した平滑化信号を出力するとともに情報量の過多によりオーバーフロー信号を出力する送信バッファメモリ回路とを備えたことを特徴とするフレーム間符号化装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は画像信号のフレーム間符号化処理を行う装置に関するものである。

(従来技術)

第1図(a)に従来のフレーム間符号化装置を用いた送信部、第1図(b)に受信部を示す。第1図(a)において、1は画像信号をPCM信号a1に変換するA/D変換回路、2はPCM信号a1をフレーム間符号化して符号化信号a2を出力する符号化回路、3は符号化回路2から出力される符号化信号a2を平滑化して平滑化信号を出力する送信バッファメモリ回路、4は平滑化信号を送信路信号に変換する送信線路回路、11は画像信号が入力される入力端子、12は伝送路信号を出力する出力端子であり、A/D変換回路1と符号化回路2と送信バッファメモリ回路3とはフレーム間符号化装置を構成する。第1図(b)において、5は伝送路信号を受信平滑化信号に変換する受信線路回路、6は受信平滑化信号を入力し受信符号化信号を出力する受信バッファメモリ回路、7は受信符号化信号を入力してフレーム間復号を行ない受信PCM信号を出力する復号回路、8は復号回路7から出力される受信PCM信号を受信画像信号に変換するD/A変換回路、13は伝送路信号

が入力される入力端子、14は受信画像信号を出力する出力端子である。

このように構成された従来の装置の動作について第1図、第2図および第3図を用いて説明する。まず第1図(a)に示す送信部の動作について説明する。入力端子11から入力されたアナログ画像信号は、A/D変換回路1によりデジタルのPCM信号a1に変換され、符号化回路2に送出される。符号化回路2においては、新しく入力されたフレーム信号と1フレーム時間分遅延した1フレーム前のフレーム信号とのフレーム間差分を求め、有意差のあった部分を符号化信号として送信バッファメモリ回路3に送出する。送信バッファメモリ回路3においては、入力端子11に入力された画像信号の内容によって時間的に不連続に発生する符号化信号を平滑化し平滑化信号として出力する。この平滑化信号は、送信線路回路4により伝送路信号に変換され、出力端子12から伝送路へ出力される。

次に第1図(b)に示す受信部の動作について説明

する。入力端子13に入力された伝送路信号は、受信線路回路5で受信平滑化信号に変換される。受信バッファメモリ回路6は、この受信平滑化信号を入力し受信符号化信号を復号回路7へ送出する。このことにより復号回路7は、フレーム間復号処理を行ない受信PCM信号a3をD/A変換回路8へ出力する。D/A変換回路8は、この受信PCM信号a3を入力してアナログ画像信号を出力する。

次に送信バッファメモリ回路3に入力される符号化信号の情報量、すなわち、単位時間当たりが発生する有意差のあった部分の信号の量が多くなった場合の動作について説明する。従来のフレーム間符号化装置は、符号化回路2から発生した時間的に不連続な符号化信号を送信バッファメモリ回路3において平滑化しているので、情報量が多くなると平滑化信号を送信線路回路4に送り出すことが出来なくなり、送信バッファメモリ回路3で情報があふれてしまうこと（以下「オーバフロー」という）がある。そのため、送信バッ

ファメモリ回路3にどれだけの情報量が蓄えられているかを監視し、オーバフローになりそうな時には、それ以上発生する情報は捨ててしまうという処置がとられる。発生する情報を捨てることによって、復号した画像信号上では新しく伝送された画像が上から途中まで見られ、下側には以前に復号した画像が出たまま（以下「つみ残し」という）になっており、2つの画像を見ることになる。

このことを第2図を用いて説明する。例として、画像信号が入力されA/D変換回路1から第2図(a)に示すPCM信号a1が出力され、このPCM信号a1を符号化回路2において処理した結果、PCM信号a1を構成するフレーム信号Bをフレーム間符号化処理している途中にて第2図(b)に示すようにオーバフローとなり更にフレーム信号Cにてもオーバフローとなった場合について説明する。この場合、第2図(c)に示すように、符号化信号はフレーム信号Bおよびフレーム信号Cにてフレーム間符号化処理を中断したものとなり、その

受信PCM信号a3は、第2図(d)に示すように、つみ残し(A)、(B)を含むことになり、画面は第3図b、cに示すように(A)、(B)を表示する。

このようにつみ残しが発生すると画面に2つ以上のフレーム信号が混入して画面の品質は非常に劣化する。なお第3図(a)~(e)は第2図(a)に示すPCM信号a1のフレームA~Eに対応する。

（発明の概要）

本発明はこのような点に鑑みてなされたものであり、その目的とするところは、つみ残しを大幅に減じることができるフレーム間符号化装置を提供することにある。

このような目的を達成するために本発明は、オーバフロー発生時に、現に発生しているフレーム信号ではなく前のフレーム信号に対してフレーム間符号化処理を行なうようにしたものである。

（実施例）

本発明を実施例に基づき詳細に説明する。第4図(a)に本発明に係わるフレーム間符号化装置の一

実施例を用いた送信部、第4図(ハ)に受信部を示す。第4図(ハ)において、9はPCM信号を1画面分溜えオーバーフロー時には書き込み禁止をして前の画面を繰り返し出力する入力フレームメモリ回路、10は通常時に符号化回路2から出力される符号化信号a2を平滑化して平滑化信号を出力し、オーバーフロー時に書き込み禁止の信号を入力フレームメモリ回路9に出力する送信バッファメモリ回路、16はオーバーフロー信号の出力線路であり、15はフレーム間符号化装置である。第4図において第1図と同一部分又は相当部分には同一符号が付してある。

次にこのように構成された装置の動作について第4図、第5図および第6図を用いて説明する。まず第4図(ハ)に示す送信部の動作について説明する。入力端子11から入力されたアナログ画像信号は、A/D変換回路1によりデジタルのPCM信号a1に変換され、入力フレームメモリ回路9に輸入される。入力フレームメモリ回路9は、通常のフレーム間符号化処理をしているとき

には、単に書き込んだデータをそのまま読み出し、デジタル画像信号としての読出信号b1を符号化回路2へ出力している。この場合、符号化回路2から送信線路回路4までの動作は従来例の動作と同様である。オーバーフローが発生すると送信バッファメモリ回路10は、オーバーフロー信号OVFを入力フレームメモリ回路9へ出力し、同回路へのデータ書き込みを禁止する。オーバーフローしたフレームの次のフレームにおける入力フレームメモリ回路9からの読出信号b1は、オーバーフローしたフレームにおけるものと同一である。

第4図(ハ)に示す受信部の動作は従来例と同様である。

次にオーバーフロー時における各フレーム信号について第5図を用いて説明する。第5図(ハ)に、A/D変換回路1から出力されフレーム信号A～Eを有するPCM信号a1を示す。符号化回路2は、フレーム信号Aのフレーム間符号化処理が終わった後、フレーム信号Bをフレーム間符号化処理している途中にてオーバーフローとなると、第5図(ハ)

に示すようにフレーム間符号化処理を中断する。このとき送信バッファメモリ回路10は、第5図(ハ)に示すオーバーフロー信号OVFを入力フレームメモリ回路9へ出力し、次のフレームCでは、入力フレームメモリ回路9への書き込みを禁止する。このことにより符号化回路2は、第5図(ハ)に示すように、読出信号b1を構成する元のフレーム信号Bをもう1度フレーム間符号化処理する。フレーム間符号化では、フレーム間差分を見ているので、同一フレーム信号が続いたときのフレーム間差分は極めて少なくなり、オーバーフロー後のフレーム信号Bはフレーム間符号化処理を終了することが可能となる。従って、第5図(ハ)に示す復号して得た受信PCM信号a3にはつみ残しが極めて少ないことになる。

第6図に、復号して得た受信PCM信号a3を画面に表示した状態を示す。なお、第6図(ハ)～(エ)は第5図(ハ)のPCM信号a1のフレームA～Eに対応する。従来は第3図に示すように第3図(ハ)でつみ残しを発生したが、本実施例では第6図

(ハ)のみのつみ残しとなる。

(発明の効果)

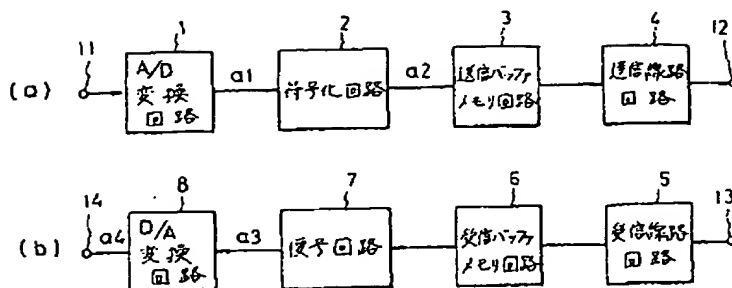
以上述べたように本発明は、オーバーフロー発生時に入力フレームメモリ回路への書き込みを禁止し同回路から前のフレーム信号を読出すことにより、前のフレーム信号に対してフレーム間符号化処理を行なうようにしたので、つみ残しを大幅に減少でき、画質の低下を防止できる効果がある。

4. 図面の簡単な説明

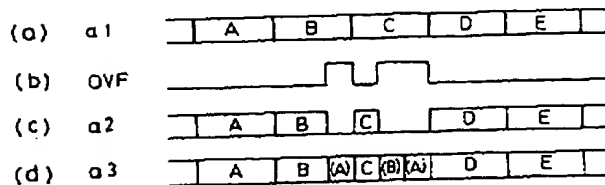
第1図(ハ)は従来のフレーム間符号化装置を用いた送信部のブロック系統図、第1図(ハ)は受信部のブロック系統図、第2図はこれらのフレーム信号図、第3図は従来のフレーム間符号化装置を用いたときの受信部における画面表示図、第4図(ハ)は本発明に係わるフレーム間符号化装置の一実施例を用いた送信部のブロック系統図、第4図(ハ)は受信部のブロック系統図、第5図はこれらのフレーム信号図、第6図は本発明に係わるフレーム間符号化装置の一実施例を用いたときの受信部における画面表示図である。

1 A / D 変換回路、2 符号化
回路、4 送信線路回路、5 受信
線路回路、6 受信バッファメモリ回路、
7 復号回路、8 D / A 変換回路、
9 入力フレームメモリ回路、10 . . .
. . . 送信バッファメモリ回路、11、13 . . .
. . . 入力端子、12、14 出力端子、1
5 フレーム間符号化装置、16
出力線路。

第 1 図



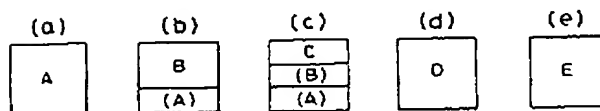
第 2 図



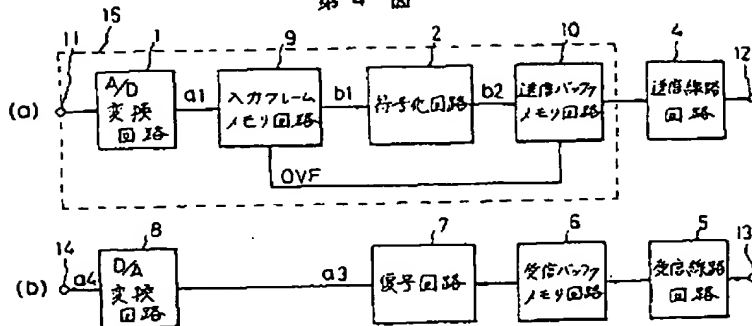
特許出願人 日本電気株式会社

代 理 人 山 川 政 樹 (ほか 2 名)

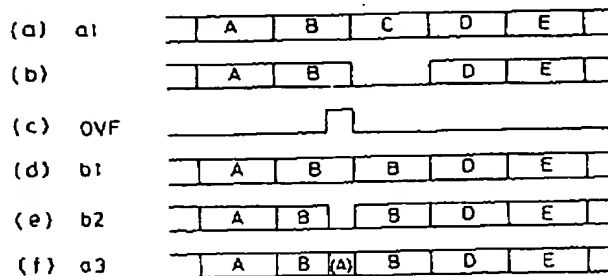
第 3 図



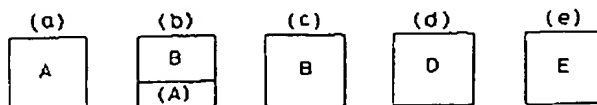
第 4 図



第 5 図



第 6 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.